

**MACHINE-ASSISTED TRANSLATION (MAT):**

(19)【発行国】 日本国特許庁 ( J P )	(19)[ISSUING COUNTRY] Japan Patent Office (JP)
(12)【公報種別】 公開実用新案公報 (U)	(12)[GAZETTE CATEGORY] Unexamined Utility Model (U)
(11)【公開番号】 実開平 5-46121	(11)[KOKAI NUMBER] Unexamined Japanese Utility Heisei 5-46121
(43)【公開日】 平成 5 年 ( 1 9 9 3 ) 6 月 1 8 日	(43)[DATE OF FIRST PUBLICATION] June 18, Heisei 5 (1993. 6.18)
(54)【考案の名称】 ラジオ受信機	(54)[TITLE OF THE DESIGN] Radio set
(51)【国際特許分類第 5 版】 H03J 7/28	(51)[IPC 5] H03J 7/28
【審査請求】 未請求	[REQUEST FOR EXAMINATION] No
【請求項の数】 1	[NUMBER OF CLAIMS] 1
【全頁数】 3	[NUMBER OF PAGES] 3
(21)【出願番号】 実願平 3-93982	(21)[APPLICATION NUMBER] Utility Application Heisei 3-93982
(22)【出願日】 平成 3 年 ( 1 9 9 1 ) 1 1 月 1 5 日	(22)[DATE OF FILING] November 15, Heisei 3 (1991. 11.15)

**(71) 【出願人】****(71)[PATENTEE/ASSIGNEE]****【識別番号】****[ID CODE]**

000001889

000001889

**【氏名又は名称】****[NAME OR APPELLATION]**

三洋電機株式会社

Sanyo Electric Co., Ltd.

**【住所又は居所】****[ADDRESS OR DOMICILE]**大阪府守口市京阪本通 2 丁目 1  
8 番地**(72) 【考案者】****(72)[INVENTOR]****【氏名】****[NAME OR APPELLATION]**

柳井 鉄也

Yanai, Tetsuya

**【住所又は居所】****[ADDRESS OR DOMICILE]**大阪府守口市京阪本通 2 丁目 1  
8 番地 三洋電機株式会社内**(74) 【代理人】****(74)[AGENT]****【弁理士】****[PATENT ATTORNEY]****【氏名又は名称】****[NAME OR APPELLATION]**

西野 卓嗣

Nishino, Takuji

**(57) 【要約】****(57)[ABSTRACT OF THE DISCLOSURE]****【目的】****[PURPOSE]**

AD変換器等を用いることなく、電界強度順に放送信号を記憶装置内に記憶できるようにする。

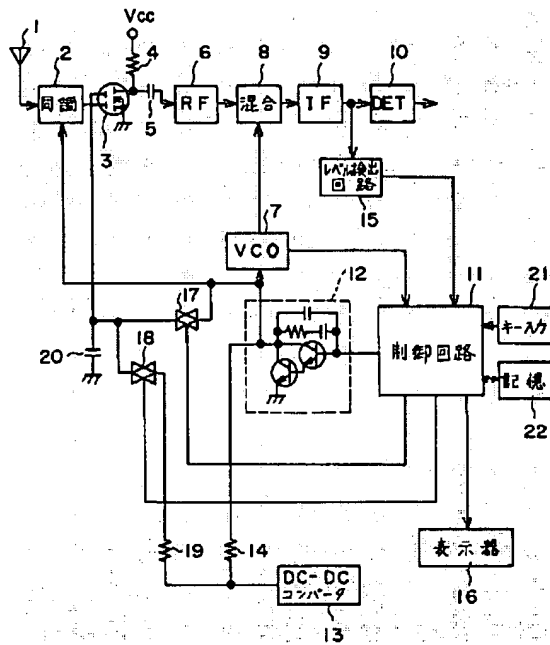
It can store a broadcast signal in a memory unit in order of an electric field strength, without using an AD converter etc.

**【構成】**

本考案によれば、キー入力部 21 のオートプリセットキーの操作に応じて、自動掃引動作を開始し、その結果、所定レベル以上の放送信号が受信されると、当該受信周波数とは無関係の電圧を所定ステップで供給することにより、デュアルゲート FET 3 の利得を定め、当該利得において所定レベル以上の信号が検出されるか否かを判定し、信号が検出されれば、受信周波数に関する情報と前記電圧に関する情報を記憶装置 22 に記憶し、前記オートプリセット動作の終了時、記憶装置に記憶された内容を前記電圧に関する情報に基づき並び替え、以って記憶装置 22 には、電界強度順にデータが記憶される。

**[CONSTITUTION]**

According to this design, according to an operation of the auto preset key of the key input part 21, it starts automatic sweep action, as a result, if the broadcast signal more than a prescribed level is received, by supplying a voltage unrelated to said received frequency at a prescribed step, it will define the gain of the dual gate FET 3, and will judge whether the signal more than a prescribed level is detected in said gain, if a signal is detected, it stores the information about a received frequency, and the information about said voltage in a memory unit 22, at the time of the completion of said auto preset action, it rearranges the content stored in the memory unit based on the information concerning said voltage, and stores data in order of an electric field strength in a memory unit 22.



- 2: Tuning
- 8: Mixing
- 11: Control circuit
- 13: DC-DC converter
- 15: Level detection circuit
- 16: Display
- 21: Key input
- 22: Memory

### 【実用新案登録請求の範囲】

**[CLAIMS]**

【請求項 1】

局部発振回路が位相同期ループ（PLL）にて構成されるとともに、高周波増幅段にデュアルゲートFETが配設されたラジオ受信機であって、指令に応じて自動掃引動作を開始し、所定レベル以上の放送信号の受信

**[CLAIM 1]**

A radio set, in which while a local oscillation circuit comprises phase locked loops (PLL), it is the radio set in which the dual gate FET is arranged by the high frequency amplification stage, it is equipped with automatic sweep means which starts automatic sweep action according to a command and stops said

に応じて前記自動掃引動作を停止する自動掃引手段と、前記所定レベル以上の放送信号の受信に応じて前記自動掃引手段の自動掃引動作が停止した際、受信周波数とは無関係に前記デュアルゲートFETの第2ゲートに所定ステップで変化する電圧を供給し、前記デュアルゲートFETの利得を制御する電圧供給手段と、この電圧供給手段から供給された電圧に応じた利得にて前記デュアルゲートFETで増幅された受信信号に基づき所定レベル以上の放送信号の受信の有無を判定する判定手段と、この判定手段にて受信したことが判定された際、受信信号に対応付けて前記電圧供給手段から供給される電圧に関する情報を記憶する記憶手段と、この記憶手段に記憶された内容を前記電圧に関する情報を基に並び替える並び替え手段とを具備したことを特徴とするラジオ受信機。

automatic sweep action according to reception of the broadcast signal more than a prescribed level, voltage supply means which supplies the voltage which varies at a prescribed step to the 2nd gate of said dual gate FET regardless of a received frequency and control the gain of said dual gate FET when automatic sweep action of said automatic sweep means stops according to reception of the broadcast signal more than said predetermined level, evaluation means to judge the existence of reception of the broadcast signal more than a prescribed level based on the receive-signal amplified at said dual gate FET on the gain according to the voltage supplied from this voltage supply means, memory means to store the information about the voltage which matches with a receive-signal and is supplied from said voltage supply means when having received with this evaluation means is judged, and the rearrangement means which rearrange the content stored in this memory means based on the information about said voltage.

**【図面の簡単な説明】****[BRIEF DESCRIPTION OF THE DRAWINGS]****【図1】**

本考案の一実施例を示すブロック図である。

**[FIG. 1]**

It is the block diagram showing one Example of this design.

**【図2】**

本考案に係る動作を示すフローチャートである。

**[FIG. 2]**

It is the flowchart which shows action based on this design.

## 【符号の説明】

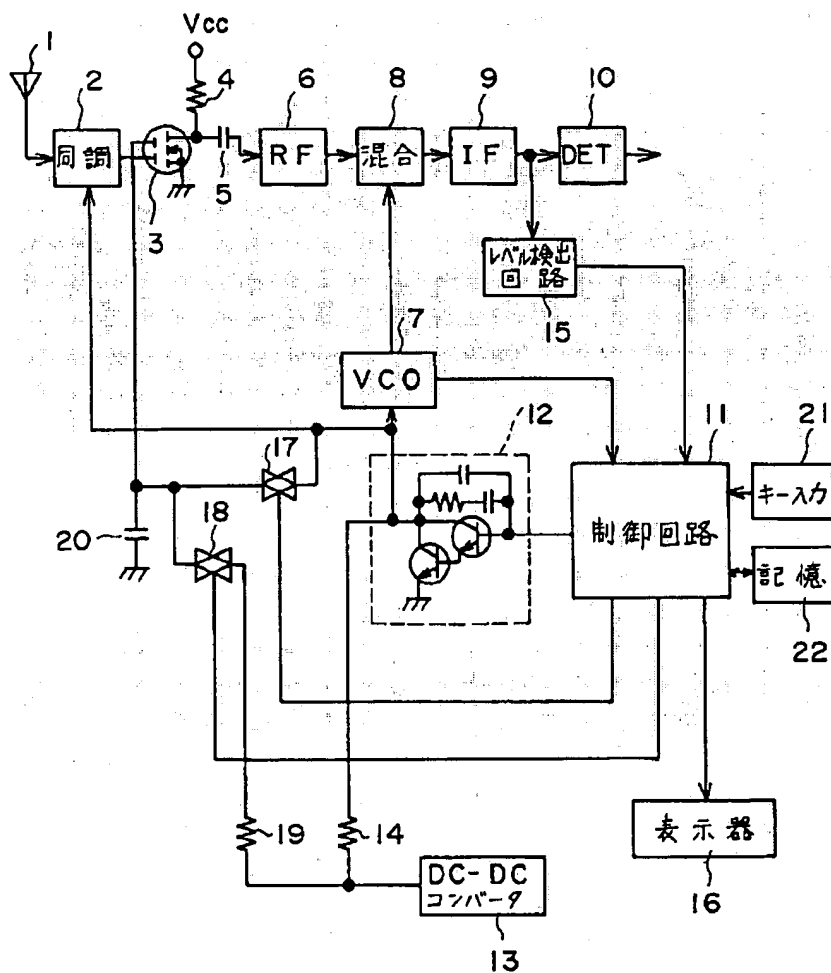
3 デュアルゲートFET  
 7 電圧制御発振器 (VCO)  
 11 制御回路  
 12 ローパスフィルタ  
 15 レベル検出回路  
 17 第1アナログスイッチ  
 18 第2アナログスイッチ

## [DESCRIPTION OF SYMBOLS]

3 Dual gate FET  
 7 Voltage controlled oscillator (VCO)  
 11 Control circuit  
 12 Low pass filter  
 15 Level detector circuit  
 17 1st analog switch  
 18 2nd analog switch

【図1】

[FIG. 1]



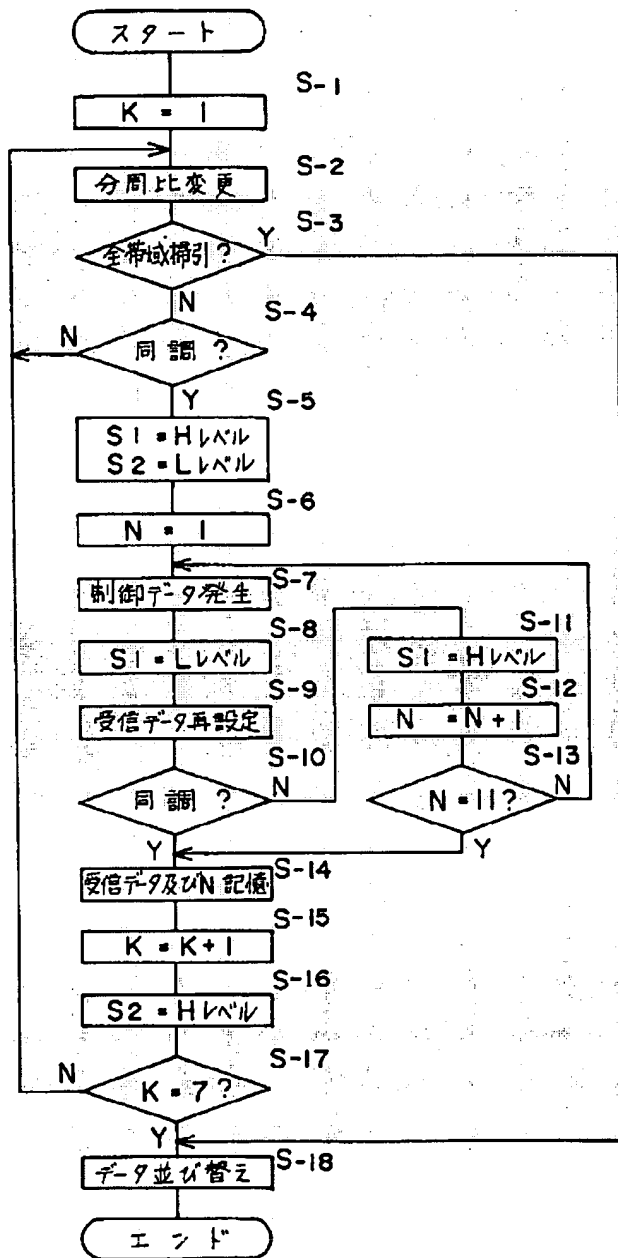
JP5-46121-U



- 2: Tuning
- 8: Mixing
- 11: Control circuit
- 13: DC-DC converter
- 15: Level detection circuit
- 16: Display
- 21: Key input
- 22: Memory

【図 2】

[FIG. 2]







Start

S-1:  $K = 1$

S-2: Change dividing ratio

S-3: Sweep all bands ?

S-4: Tuning ?

S-5:  $S1 = H$  level

$S2 = L$  level

S-6:  $N = 1$

S-7: Generate control data

S-8:  $S1 = L$  level

S-9: reset receiving data

S-10: Tuning ?

S-11:  $S1 = H$  level

S-12:  $N = N + 1$

S-13:  $N = 11$  ?

S-14: Store receiving data and  $N$

S-15:  $K = K + 1$

S-16:  $S2 = H$  level

S-17:  $K = 7$  ?

S-18: Rearrange data

End

**【考案の詳細な説明】**

**[DETAILED DESCRIPTION OF THE UTILITY  
MODEL]**

**【 0 0 0 1 】**

**[0001]**

**【産業上の利用分野】**

**[INDUSTRIAL APPLICATION]**

本考案は、ラジオ受信機に関する。

This design is related with a radio set.

**【 0 0 0 2 】**

**[0002]**

**【従来の技術】**

**[PRIOR ART]**

近年、ラジオ受信機では、プ

In recent years, in a radio set, in order to

リセット動作の簡素化を計るために、受信可能な放送局をメモリ等の記憶装置に自動的に記憶させる、所謂オートプリセット機能が採用されている。

**【0003】**

斯るオートプリセット機能に付き簡単に説明すると、使用者のオートプリセットキーの操作に対応してラジオ受信機の動作を司るマイクロコンピュータが自動掃引動作を実行する。そして、この自動掃引の結果、所定レベル以上の放送信号が受信されると、マイクロコンピュータは当該周波数に対応する分周比を記憶装置に記憶して、掃引動作を再開する。このような手順を繰り返すことにより、所定レベル以上の放送信号が記憶装置内に自動的に記憶される。

**【0004】**

また、最近では、受信信号より得られたキャリア信号（アナログ信号）をデジタル信号に変換し、当該デジタル情報を受信周波数情報と対応付けて記憶することにより、記憶装置に記憶された内容を電界強度レベルが大きい順に並べ替え、使用者の使い勝手を向上させるようにしたものがある。

measure the simplification of preset action, it is receivable.

What is called an auto preset function in which it lets memory units, such as a memory, store a broadcasting station automatically These are adopted.

**[0003]**

Explaining such auto preset function, the microcomputer, which manages action of a radio set corresponding to an operation of automatic preset key by an user, performs automatic sweep action.

And as a result of this automatic sweep, when a broadcast signal more than a prescribed level is received, a microcomputer stores the dividing ratio corresponding to said frequency in a memory unit and restarts sweep action.

By repeating such a procedure, the broadcast signal more than a prescribed level is automatically stored in a memory unit.

**[0004]**

Moreover, recently, there is the one which improves a user's versatility by converting the carrier signal (analog signal) acquired from the receive-signal into a digital signal, by storing said digital information corresponding to received frequency information, and by rearranging the content stored in the memory unit in the decreasing order of electric-field-strength level.

【 0 0 0 5 】

[0005]

【 考 案 が 解 決 し よ う と す る 課 題 】

然し乍ら、上記の構成では、AD変換器が別途必要になるため、部品点数の増大並びにコストの上昇を招くものであった。

**[PROBLEM TO BE SOLVED BY THE UTILITY MODEL]**

However, since an AD converter is needed separately for the above-mentioned composition, it increases the number of parts and the cost.

【 0 0 0 6 】

[0006]

【 課 題 を 解 決 す る た め の 手 段 】

上記の課題に鑑み、本考案は、局部発振回路が位相同期ループ（PLL）にて構成されるとともに、高周波増幅段にデュアルゲートFETが配設されたラジオ受信機であって、指令に応じて自動掃引動作を開始し、所定レベル以上の放送信号の受信に応じて前記自動掃引動作を停止する自動掃引手段と、前記所定レベル以上の放送信号の受信に応じて前記自動掃引手段の自動掃引動作が停止した際、受信周波数とは無関係に前記デュアルゲートFETの第2ゲートに所定ステップで変化する電圧を供給し、前記デュアルゲートFETの利得を制御する電圧供給手段と、この電圧供給手段から供給された電圧に応じた利得にて前記デュアルゲートFETで増幅された受信信号に基づき所定レベル以上の放送信号の受信の有無を判定する判定手段と、こ

**[MEANS TO SOLVE THE PROBLEM]**

It takes into consideration in the above-mentioned problem and, as for this design, while a local oscillation circuit is structured by a phase locked loop (PLL), it is a radio receiver in which the dual gate FET is arranged at the high frequency amplification stage, and is equipped with the automatic sweep means which starts automatic sweep action according to a command and stops said automatic sweep action according to reception of broadcasting signal more than a prescribed level, the voltage supply means which supplies the voltage, which varies at prescribed step, to the 2nd gate of said dual gate FET regardless of a received frequency, and controls the gain of said dual gate FET, when automatic sweep action of said automatic sweep means stops according to reception of the above broadcast signal more than said predetermined level, the evaluation means which judges whether it received the broadcast signal more than a prescribed level or not, based on the receive-signal amplified by said dual gate FET at the gain according to the voltage supplied

の判定手段にて受信したことが判定された際、受信信号に対応付けて前記電圧供給手段から供給される電圧に関する情報を記憶する記憶手段と、この記憶手段に記憶された内容を前記電圧に関する情報を基に並び替える並び替え手段とを具備したことを特徴とする。

from this voltage supply means, the memory means which stores the information about the voltage, which is supplied from said voltage supply means, corresponding to the received signal, when having received is judged by this evaluation means, and the rearrangement means which rearranges the content stored in this memory means based on the information concerning said voltage.

It is characterized by the above-mentioned.

**【 0 0 0 7 】****[0007]****【作用】**

本考案によれば、自動掃引動作により所定レベル以上の放送信号が受信されると、当該受信周波数とは無関係な電圧を所定ステップで発生させてデュアルゲートFETの第2ゲートに供給して、このデュアルゲートFETの利得を定める。

**[OPERATION]**

According to this design, when the broadcast signal more than a prescribed level is received by automatic sweep action, it generates a voltage unrelated to said received frequency at a prescribed step, supplies the 2nd gate of dual gate FET, and defines the gain of this dual gate FET.

**【 0 0 0 8 】****[0008]**

次いで、この定められた利得において前記受信周波数が所定レベル以上を呈するか否かを判定し、所定レベル以上を呈する場合、当該受信周波数に対応付けて前記電圧に関する情報を記憶手段に記憶させる。その後、自動掃引動作が受信バンド全域に亘って行われたことが判定若しくは前記記憶装置の全ての記憶領域にデータが書き込まれたことが判定されると、前記電圧

Subsequently, in this defined gain, it judges whether said received frequency presents more than a prescribed level or not, when presenting more than a prescribed level, it stores the information about said voltage in memory means, corresponding to said received frequency.

After that, if it is judged that automatic sweep action has been performed throughout the receiving band or that data were written in all the storage areas of said memory unit, it rearranges the content stored in said memory



に関する情報に基づき前記記憶装置に記憶された内容を並び替える。

unit based on the information about said voltage.

**【0009】****[0009]****【実施例】**

図1は、本考案の一実施例を示すブロック図で、1はアンテナ、2はアンテナ同調回路、3は第1ゲートに同調回路2からの出力信号が供給されるデュアルゲートFET、4はデュアルゲートFET3の負荷となる抵抗、5はカップリングコンデンサ、6は受信高周波信号を選択増幅する高周波増幅回路、7は位相同期ループ(PLL)回路を構成する電圧制御発振器(VCO)、8は高周波増幅回路6からの高周波信号とVCO7からの発振信号とを混合し、所定の中間周波数信号を導出する混合回路、9は混合回路8からの中間周波数信号を増幅する中間周波数増幅回路、10は中間周波数増幅回路9からの中間周波数信号を検波する検波回路、11はVCO7からの発振信号をN分周するプログラマブル分周器、このプログラマブル分周器からの分周出力と基準信号発生回路からの基準信号とを比較し、位相差に応じた信号を出力する位相比較回路を内蔵する制御回路で、マイクロコンピュー

**[EXAMPLES]**

FIG. 1 is the block diagram showing one Example of this design, 1 is an antenna, 2 is an antenna tuning circuit, 3 is a dual gate FET in which the output signal from a tuning circuit 2 is supplied to 1st gate, 4 is the resistance to become the load of the dual gate FET 3, 5 is a couple condenser, 6 is the high frequency amplifier circuit to carry out choice amplification of the received high frequency signal, 7 is the voltage controlled oscillator (VCO) which comprises phase-synchronizations loop (PLL) circuit, 8 is the mixer circuit which mixes the high frequency signal from high frequency amplification circuit 6 and the oscillation signal from VCO7 and leads a prescribed intermediate frequency signal, 9 is the intermediate-frequency amplifier circuit which amplifies a middle frequency signal from a mixer circuit 8, 10 is the detection circuit which detects the intermediate-frequency signal from the intermediate-frequency amplifier circuit 9, 11 is the control circuit which builds in a programmable frequency divider which carries out N dividing of the oscillation signal from VCO7, and a phase comparison circuit which compares the dividing output from this programmable frequency divider and the reference signal from a reference-signal generator circuit, and outputs the signal

タにて構成されている。

12は制御回路11から出力された位相差信号が供給され、当該位相差信号に基づきVCO7に制御電圧を供給するローパスフィルタ、13はローパスフィルタ12に基準電圧を供給するDC-DCコンバータ、14はローパスフィルタ12の負荷となる抵抗、15は受信信号が所定レベル以上か否かを判定し、所定レベル以上のとき、検出信号を制御回路11に供給するレベル検出回路、16は制御回路11からの信号に基づき受信周波数を表示する表示器、17はローパスフィルタ12からデュアルゲートFET3の第2ゲートへの線路に配置され、制御回路11からの制御信号S1にて制御される第1アナログスイッチ、18はDC-DCコンバータ13からデュアルゲートFET3の第2ゲートへの線路に配置され、制御回路11からの制御信号S2にて制御される第2アナログスイッチ、19は電流制限用抵抗、20はコンデンサ、21はキー入力部、22はメモリ等の記憶装置である。

#### 【0010】

次に、動作について図2のフローチャートを参照して説明する。

according to a phase difference, and comprises microcomputers.

12 is a low pass filter which a phase-difference signal outputted from the control circuit 11 is supplied to, and supplies a control voltage to VCO7 based on said phase-difference signal, 13 is DC-DC converter which supplies a reference voltage to a low pass filter 12, 14 is the resistance which becomes the load of a low pass filter 12, 15 is a level detector circuit which judges whether receive-signal is more than a prescribed level, or not, and supplies a detecting signal to a control circuit 11 at the time more than a prescribed level, 16 is the display which displays the received wave number based on a signal from a control circuit 11, 17 is the 1st analog switch which is arranged on the track from a low pass filter 12 to the 2nd gate of the dual gates FET3, and is controlled by control-signal S1 from a control circuit 11, 18 is the 2nd analog switch which is arranged on the track from DC-DC converter 13 to the 2nd gate of dual gate FET3 and is controlled by the control signal S2 from a control circuit 11, 19 is the resistance for electric-current limited, 20 is a condenser, 21 is a key input part, 22 is a memory unit, such as a memory.

#### [0010]

Next, with reference to the flowchart of FIG. 2, it demonstrates action.

**【 0 0 1 1 】**

キー入力部 2 1 のオートプリセットキーが操作されると、制御回路 1 1 は、記憶装置 2 2 の記憶領域を指定するためのメモリアドレスカウンタ (図示せず) の値 K を「 1 」とした後、プログラマブル分周器に設定される分周比を現在の周波数から所定数 (例えば、「 1 」) ずつ増加させ、自動掃引動作を開始する。

**【 0 0 1 2 】**

また、斯る自動掃引動作は、現在プログラマブル分周器に設定された分周比が掃引動作開始時の分周比と同じになるまで (即ち、自動掃引動作が受信バンドの全域に亘って行われるまで) 継続される (ステップ S - 1 ~ S - 3)。

**【 0 0 1 3 】**

尚、このとき、制御回路 1 1 からの制御信号 S 1 は、L レベル、制御信号 S 2 は、H レベルになっており、デュアルゲート FET 3 は、最大利得状態にある。

**【 0 0 1 4 】**

そして、斯る自動掃引の結果、ある周波数において受信信号レベルが所定レベル以上あることが判定され、検出信号が制御回路 1 1 に供給されると、制御回

**[0011]**

When the auto preset key of the key input part 21 is operated, a control circuit 11 increases the dividing ratio set in a programmable frequency divider by every predetermined number (for example, "1") from the present cycle number, after setting the value K of the memory address counter (not shown) for designating the storage area of memory unit 22 to "1.", and starts automatic sweep action.

**[0012]**

Moreover, such automatic sweep action continues until the dividing ratio set in the present programmable frequency divider becomes the same as the dividing ratio at the time of a sweep action start (that is, until it is carried out over the whole region of automatic sweep action receiving band). (step S-1-S-3)

**[0013]**

In addition, at this time, control-signal S1 from a control circuit 11 is in L level and control-signal S2 is in H level, and the dual gate FET 3 is in the maximum gain state.

**[0014]**

And as result of a such automatic sweep, if a receive-signal level is judged to be more than the prescribed level in a certain frequency, and a detecting signal is supplied to a control circuit 11, the control circuit 11 alters control-signal S1

路 11 は制御信号 S1 を H レベルに、制御信号 S2 を L レベルに変更し、DC-DC コンバータ 13 からの線路を遮断するとともに、ローパスフィルタ 12 からの線路を開放する（ステップ S-4、S-5）。

**【0015】**

また、先にプログラマブル分周器に設定された分周比をバッファレジスタ等に一時的に格納した後、所定電圧設定用のカウンタの値 N を 1 に設定するが、このカウンタの値は、ローパスフィルタ 12 からの同調電圧に対応しており、カウンタ値が 1 のとき、同調電圧が 1 V になるように設定される。

**【0016】**

そして、制御回路 11 は、カウンタの値が 1 のとき、ローパスフィルタ 12 からの同調電圧が 1 V となる周波数に対応する分周比をプログラマブル分周器に設定するようになされている（ステップ S-6、S-7）。

**【0017】**

従って、VCO7 は当該分周比で定まる周波数で発振し、受信機はこの発振周波数と中間周波数だけ異なる放送信号を受信する。

一方、このローパスフィルタ 1

into H level, and alters control-signal S2 into L level, interrupts the track from DC-DC converter 13, and opens a track from a low pass filter 12. (step S-4, S-5).

**[0015]**

Moreover, it sets the value N of the counter for a prescribed voltage setup as 1 after storing temporarily the dividing ratio previously set as the programmable frequency divider in a buffer register etc. However, the value of this counter is corresponding to the synchronization voltage from a low pass filter 12, when a counter value is 1, it sets up so that the synchronization voltage may be set to 1V.

**[0016]**

And the control circuit 11 is designed to set the dividing ratio corresponding to the frequency in which the synchronization voltage from a low pass filter 12 becomes 1V, to a programmable frequency divider when the value of a counter is 1. (step S-6, S-7).

**[0017]**

Accordingly, VCO7 oscillates on the frequency decided in said dividing ratio, a receiver receives the broadcast signal which differs from this oscillation periphery wave number by an intermediate frequency.

On the other hand, the output of this low pass



2の出力は、第1アナログスイッチ17を介してデュアルゲートFETの第2ゲートに供給される。

尚、このとき、表示器16では、バッファレジスタ等に記憶されたデータに基づき先に受信された周波数が表示される。

filter 12 is supplied to 2nd gate of the dual gate FET through the 1st analog switch 17.

In addition, at this time, in display 16, the frequency previously received is displayed based on the data stored in a buffer register etc.

**【0018】**

その後、制御信号S1をLレベルに設定し、ローパスフィルタ12からの電圧供給を遮断するとともに、バッファレジスタに記憶されていたデータをプログラマブル分周器に再度設定し、次いでレベル検出回路15の出力の判定を行う（ステップS-8、S-9、S-10）。

**[0018]**

After that, it sets control-signal S1 to L level, interrupts the voltage supply from a low pass filter 12, sets the data stored in the buffer register in programmable frequency divider again, subsequently, performs an evaluation of the output of the level detector circuit 15. (step S-8, S-9, S-10).

**【0019】**

このとき、デュアルゲートFET3の第2ゲートには、コンデンサ20の作用により1Vの制御電圧が印加されているため、デュアルゲートFET3は、当該制御電圧にて定まる利得にて受信信号を増幅する。

**[0019]**

At this time, since the control voltage of 1V is impressed by the act of condenser 20 acts in the 2nd gate of the dual gate FET 3, the dual gate FET 3 amplifies a receive-signal on the gain decided by said control voltage.

**【0020】**

そして、レベル検出回路15から検出信号が出力されていないければ、制御回路11は、制御信号S1を再度Hレベルに設定するとともに、カウンタの値を2に変更し、この値2に対応す

**[0020]**

And if the detecting signal is not outputted from the level detector circuit 15, the control circuit 11 sets control-signal S1 as H level again, alters the value of a counter to 2, sets up the dividing ratio corresponding to this value 2, and repeats the above-mentioned procedure.

る分周比を設定して上述の手順 (step). S-11, S-12.  
を繰り返す(ステップS-11、  
S-12)。

**【0021】**

一方、検出信号が出力されて  
いれば、制御回路11は、前述  
したメモリアドレスカウンタに  
て指定された記憶装置の領域  
に、受信周波数に関する情報並  
びに前記カウンタの値を記憶さ  
せる。

**[0021]**

On the other hand, if the detecting signal is  
outputted, the control circuit 11 stores the  
information concerning a received frequency  
and the value of an said counter in the region of  
a memory unit designated by above-mentioned  
memory address counter.

**【0022】**

その後、制御回路11は、メ  
モリアドレスカウンタの値を1  
だけ増加させるとともに、制御  
信号S2をHレベルに変更し、  
次いでプログラマブル分周器に  
設定される分周比を所定数だけ  
増加させる(ステップS-14  
～S-16)。

**[0022]**

After that, the control circuit 11 increases the  
value of a memory address counter by only 1,  
alters control-signal S2 into H level,  
subsequently, increases the dividing ratio to be  
set in a programmable frequency divider by only  
predetermined number.  
(step S-14-S-16).

**【0023】**

尚、プリセット数が所定数(こ  
の実施例の場合、7)に達する  
か、または受信バンド全域の掃  
引が終了すると、制御回路11  
は、前記カウンタの値を基に例  
えば、値が大きい順に記憶内容  
を並び替える(ステップS-1  
8)。

**[0023]**

In addition, when a preset number reaches a  
predetermined number (7 in this Example) or  
the sweep of the receiving band whole region is  
completed, a control circuit 11 rearranges  
memory contents, for example, in the  
decreasing order of the value based on the  
value of said counter. (step S-18).

**【0024】****[0024]****【考案の効果】****[ADVANTAGE OF THE UTILITY MODEL]**

本考案によれば、局部発振回路が位相同期ループ（PLL）にて構成されるとともに、高周波増幅段にデュアルゲートFETが配設されたラジオ受信機であって、指令に応じて自動掃引動作を開始し、所定レベル以上の放送信号の受信に応じて前記自動掃引動作を停止する自動掃引手段と、前記所定レベル以上の放送信号の受信に応じて前記自動掃引手段の自動掃引動作が停止した際、受信周波数とは無関係に前記デュアルゲートFETの第2ゲートに所定ステップで変化する電圧を供給し、前記デュアルゲートFETの利得を制御する電圧供給手段と、この電圧供給手段から供給された電圧に応じた利得にて前記デュアルゲートFETで増幅された受信信号に基づき所定レベル以上の放送信号の受信の有無を判定する判定手段と、この判定手段にて受信したことが判定された際、受信信号に対応付けて前記電圧供給手段から供給される電圧に関する情報を記憶する記憶手段と、この記憶手段に記憶された内容を前記電圧に関する情報を基に並び替える並び替え手段とを具備したので、格別にA/D変換手段等を必要とせず、しかも受信周波数を電界強度順に記憶することが可能になり、実用的である。

According to this design, while a local oscillation circuit comprises phase locked loops (PLL), it is the radio set in which the dual gate FET is arranged by the high frequency amplification stage, it is equipped with automatic sweep means which starts automatic sweep action according to a command and stops said automatic sweep action according to reception of the broadcast signal more than a prescribed level, voltage supply means which supplies the voltage which varies at a prescribed step to the 2nd gate of said dual gate FET regardless of a received frequency and control the gain of said dual gate FET when automatic sweep action of said automatic sweep means stops according to reception of the broadcast signal more than said predetermined level, evaluation means to judge the existence of reception of the broadcast signal more than a prescribed level based on the receive-signal amplified at said dual gate FET on the gain according to the voltage supplied from this voltage supply means, memory means to store the information about the voltage which matches with a receive-signal and is supplied from said voltage supply means when having received with this evaluation means is judged, and the rearrangement means which rearrange the content stored in this memory means based on the information about said voltage.

Therefore, it does not especially need A / D conversion means etc., but it can store a received cycle number in order of an electric field strength, and is practical.

## **THOMSON SCIENTIFIC TERMS AND CONDITIONS**

*Thomson Scientific Ltd shall not in any circumstances be liable or responsible for the completeness or accuracy of any Thomson Scientific translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.*

Thomson Scientific Ltd. is part of The Thomson Corporation

Please visit our website: ["www.THOMSONDERWENT.COM"](http://www.THOMSONDERWENT.COM) (English)  
["www.thomsonscientific.jp"](http://www.thomsonscientific.jp) (Japanese)